

Family list

2 family members for:

JP2000269336

Derived from 2 applications.

1 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREFOR

Publication info: **JP2000269336 A** - 2000-09-29

2 No English title available

Publication info: **TW449818 B** - 2001-08-11

Data supplied from the *esp@cenet* database - Worldwide

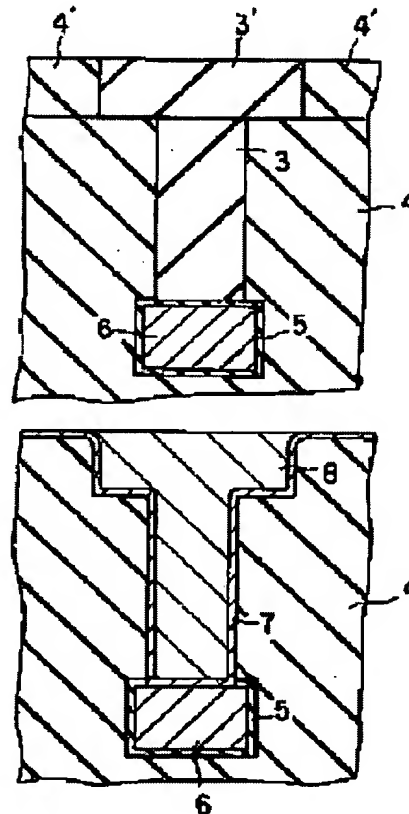
SEMICONDUCTOR DEVICE AND MANUFACTURE THEREFOR

Patent number: JP2000269336
Publication date: 2000-09-29
Inventor: SETA SHOJI
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
- international: **H01L21/302; H01L21/3065; H01L21/768; H01L21/8242; H01L27/108; H01L21/02; H01L21/70; H01L27/108;**
(IPC1-7): H01L21/768; H01L21/3065; H01L21/8242; H01L27/108
- european:
Application number: JP19990075077 19990319
Priority number(s): JP19990075077 19990319

[Report a data error here](#)

Abstract of JP2000269336

PROBLEM TO BE SOLVED: To readily control the depth of a groove in a plane of a wafer without causing an etching step by a method wherein, after a contact hole of a silicon oxide film is formed in a columnar and grooved shape, an organic silicon oxide film is coated, and the silicon oxide film is removed by wet-etching. **SOLUTION:** A silicon oxide film is formed on a wiring 6 coated with a silicon oxide film 5, and an organic silicon oxide film 4 is used as an interlayer insulation film between wirings 6. Next, after a columnar body 3 of a silicon oxide is made on the wiring 6 by etching, the organic silicon oxide film 4 is deposited and buried. Next, after a silicon oxide film 3' and a wiring of the silicon oxide film 3' are formed, an organic silicon oxide film 4' is buried. After the organic silicon oxide film 4' is buried, the silicon oxide films 3, 3' are removed with a rare fluoric acid. Thus, a dual Damascene structure can be formed, and after formed, a silicon nitride film is etched, and a barrier metal 7 is coated and a wiring material 8 is buried.



Data supplied from the [esp@cenet](#) database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269336

(P 2 0 0 0 - 2 6 9 3 3 6 A)

(43) 公開日 平成12年 9月29日 (2000. 9. 29)

(51) Int. Cl. ⁷

識別記号

F I

テーマコード (参考)

H01L 21/768
21/3065
27/108
21/8242

H01L 21/90
21/302
27/10

P 5F004
L 5F033
F 5F083
681

審査請求 未請求 請求項の数21 O L (全21頁)

(21) 出願番号 特願平11-75077

(22) 出願日 平成11年 3月19日 (1999. 3. 19)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 瀬田 渉二

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外 6 名)

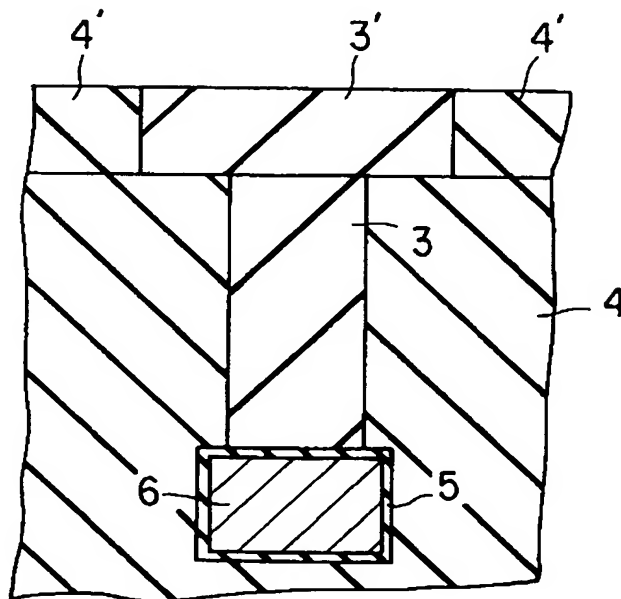
最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 以上従来技術においては、ドライエッチング方法では、前記シリコン基板は、有機シリコン酸化膜であるので、選択エッチングにおいて、有機シリコン酸化膜をエッチングする際、エッチングストップをおこす問題があった。また、溝加工及びデュアル・ダマシンの溝加工の際、ウエハ面内の溝の深さ制御を行う事は非常に困難であり、深さ制御が難しかった。さらに、シリコン窒化膜が、有機シリコン酸化膜に挟まれているため、層間絶縁膜の誘電率が上がり、配線容が大きくなり、伝播速度が遅くなってしまうという問題があった。

【解決手段】 有機シリコン酸化膜加工形成の際、シリコン酸化物3のコンタクトホールを柱状体に形成した後、有機シリコン酸化膜4を塗布しシリコン酸化物3及び3'の除去を行うことにより、有機シリコン酸化膜4のコンタクトホール及び、溝の加工形成を行う。



【特許請求の範囲】

【請求項 1】埋設されるべき導体または絶縁体が表面に露出されている状態で、前記導体または絶縁体表面上にシリコン化合物の柱状体を形成する工程と、前記導体または絶縁体が露出されている表面上に有機シリコン酸化膜を堆積させて前記シリコン化合物の柱状体をその内部に埋め込む工程と、有機シリコン酸化膜中に埋め込まれたシリコン化合物を除去して開口部を形成する工程と、前記開口部中に配線材料を埋め込んで埋め込まれた導体に対する電気接続部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】前記シリコン化合物は、シリコン酸化物であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】前記開口部を形成する工程において、前記開口部が有機シリコン酸化膜中に埋設された導体または絶縁体表面に到達しない場合、さらに前記導体または絶縁体表面に到達するように開口する工程を有することを特徴とする請求項 1 または請求項 2 に記載の半導体装置の製造方法。

【請求項 4】前記電気接続部上に配線を形成する工程を有することを特徴とする請求項 1 から請求項 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】前記配線材料を埋め込む工程の後に、前記配線材料の平坦化を行う工程を有することを特徴とする請求項 1 から請求項 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】埋設されるべき導体または絶縁体が表面に露出されている状態で前記導体表面上に、第 1 のシリコン酸化物の柱状体を形成する工程と、前記導体または絶縁体が露出されている表面上に第 1 の有機シリコン酸化膜を堆積させて前記第 1 のシリコン酸化物の柱状体をその内部に埋め込む工程と、前記堆積された構造体上の第 1 のシリコン酸化物に第 1 のシリコン酸化物柱状体の断面積と同じまたは大きい断面積の第 2 のシリコン酸化物を堆積させる工程と、前記第 2 のシリコン酸化物を第 2 の有機シリコン酸化膜で埋め込む工程と、前記第 1 及び第 2 の有機シリコン酸化膜中に埋め込まれた第 2 のシリコン酸化物及び第 1 のシリコン酸化物を除去して開口部を形成する工程と、前記開口中に配線材料を埋め込んで埋め込まれた導体に対する電気接続部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 7】前記開口部を形成する工程において、前記開口部が有機シリコン酸化膜中に埋設された導体または絶縁体表面に到達しない場合、さらに前記導体または絶縁体表面に到達するように開口する工程を有することを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】前記シリコン酸化物の柱状体を形成する工程は、堆積されたシリコン酸化物にエッチングを行うことを特徴とする請求項 6 または請求項 7 に記載の半導体装置の製造方法。

【請求項 9】前記電気接続部を形成する工程の後に配線材料を埋め込む工程を有することを特徴とする請求項 6 から請求項 8 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 10】前記配線材料を埋め込む工程の後に、前記配線材料の平坦化を行う工程を有することを特徴とする請求項 6 から請求項 9 までのいずれか 1 項に記載の半導体装置の製造方法。

【請求項 11】導体または絶縁体表面上にシリコン酸化物の柱状体を形成する工程と、前記導体または絶縁体が露出されている表面上に有機シリコン酸化膜を堆積させて前記シリコン酸化膜の柱状体をその内部に埋め込む工程と、前記有機シリコン酸化膜の一部と前記有機シリコン酸化膜中に埋め込まれた前記シリコン酸化膜を除去して開口部を形成する工程と、前記開口部中に配線材料を埋め込んで埋め込まれた導体に対する電気接続部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 12】前記開口部を形成するときに、前記有機シリコン酸化膜と前記有機シリコン酸化膜中に埋め込まれた前記シリコン酸化膜のエッチングレートの違いを用いて、配線部分で丸みを帯びた形状にすることを特徴とする請求項 11 に記載の半導体装置の製造方法。

【請求項 13】前記開口部を形成する工程において、前記開口部が有機シリコン酸化膜中に埋設された導体または絶縁体表面に到達しない場合、さらに前記導体または絶縁体表面に到達するように開口する工程を有することを特徴とする請求項 10 または請求項 11 に記載の半導体装置の製造方法。

【請求項 14】前記電気接続部上に配線を形成する工程を有することを特徴とする請求項 11 から請求項 13 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 15】前記配線材料を埋め込む工程の後に、前記配線材料の平坦化を行う工程を有することを特徴とする請求項 11 から請求項 14 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 16】互いに対向して溝部が形成される複数の柱状体の表面にシリコン窒化膜を形成し、前記柱状体の一部を覆うように形成させた有機シリコン酸化膜を備え、前記有機シリコン酸化膜は、前記溝部が露出するような開口部を有することを特徴とする半導体装置。

【請求項 17】前記柱状体は、3 層構造からなることを特徴とする請求項 16 に記載の半導体装置。

【請求項 18】基板上に絶縁層を形成する工程と、前記絶縁層を選択的にエッチングして第 1 の柱状体を形

成する工程と、

前記第 1 の柱状体の表面上に保護膜を形成する工程と、
前記保護膜で覆われた前記第 1 の柱状体を埋設するよう
に酸化膜を形成する工程と、

前記酸化膜を平坦化する工程と、

前記酸化膜のコンタクトホール第 2 の柱状体を形成す
る工程と、

前記第 2 の柱状体を埋設するように第 2 の酸化膜を形成
する工程と、

前記第 1 酸化膜を除去し溝部を形成する工程とを有する 10
ことを特徴とする半導体装置の製造方法。

【請求項 1 9】前記絶縁膜は、第 1 のシリコン酸化膜を
形成する工程と、

前記第 1 のシリコン酸化膜上にポリシリコン層を形成す
る工程と、

前記ポリシリコン層上にシリサイド層を形成する工程と
から形成されることを特徴とする請求項 1 8 に記載の半
導体装置の製造方法。

【請求項 2 0】前記保護膜はシリコン窒化膜であることを
特徴とする請求項 1 8 または請求項 1 9 に記載の記載 20
の半導体装置の製造方法。

【請求項 2 1】前記形成された溝部は、第 2 のシリコン
窒化膜で保護された前記第 1 の柱状体による側壁を有す
るように、選択的にエッチングすることにより形成され
ることを特徴とする請求項 1 8 に記載の半導体装置の製造
方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、半導体装置及び半
導体装置の製造方法に関し、特に層間絶縁膜の形状加工 30
技術に関するものである。

【0 0 0 2】

【従来の技術】以下に従来の技術を図 5 5 から図 6 3 を
用いて説明する。

【0 0 0 3】まず図 5 5 に示すように、層間絶縁膜 1 0
4 内に窒化シリコン 1 0 3' で覆われた配線 1 0 5 を形
成し、シリコン基板 1 0 3、反射防止膜 1 0 2、レジス
ト 1 0 1 をこの順番で堆積させる。

【0 0 0 4】次に図 5 6 に示すように、R I E などを用
いて、前記反射防止膜 1 0 2、レジスト 1 0 1 をエッチ 40
ングする。

【0 0 0 5】さらに、図 5 7 に示すように、前記エッチ
ングされた反射防止膜 1 0 2、レジスト 1 0 1 をマスク
として、前記シリコン基板 1 0 3 をエッチング後、反射
防止膜 1 0 2、レジスト 1 0 1 を剥離させる。

【0 0 0 6】次に、図 5 8 に示すように、層間絶縁膜 1
0 4'、反射防止膜 1 0 2'、レジスト 1 0 1' をこの順
番で堆積させ、前記レジスト 1 0 1' をエッチングす
る。

【0 0 0 7】さらに図 5 9 に示すように、前記層間絶縁 50

膜 1 0 4'、反射防止膜 1 0 2' のエッチングを行う。

【0 0 0 8】次に、図 6 0 に示すように、前記シリコン
基板 1 0 3 をマスクとしてエッチングを行い、前記層
間絶縁膜 1 0 4 にホールを形成する。

【0 0 0 9】さらに、図 6 1 に示すように、前記反射防
止膜 1 0 2'、レジスト 1 0 1' を除去し、コンタクトホ
ールに電極 1 0 6 を埋め込み、配線を形成する。

【0 0 1 0】以上の工程より従来技術においては、ドラ
イエッチング方法では、前記シリコン基板は、有機シリ
コン酸化膜であるので、選択エッチングにおいて、有機
シリコン酸化膜をエッチングする際、シリコン酸化膜に
C H 3 基が含有されていることから、C の含有量が高く、
対レジスト選択比を取る条件でエッチングを行うと、C
含有量が多い有機シリコン酸化膜では、エッチングの底
にフロロカーボン膜が堆積する事により、エッチングス
トップをおこす問題があった。

【0 0 1 1】また、前記フロロカーボン膜が底に堆積す
る量が、シリコン酸化膜と比較し多いため、例えば、溝
及びコンタクトホールのパターンサイズが小さくなるに
従い、高アスペクトになるため、エッチング活性種が入
りにくくなることから、エッチングが減少する傾向が顕著
に現れる。

【0 0 1 2】また、溝加工及びデュアル・ダマシン (Du
al Damascene : 穴、溝及び、溝、穴一括開口) の溝加工
の際、有機シリコン酸化膜の部分エッチングを行うた
め、ウエハ面内の溝の深さ制御を行う事は非常に困難で
あり、シリコン窒化膜等のストッパーを使用しないと深
さ制御が難しかった。

【0 0 1 3】さらに、シリコン窒化膜が、有機シリコン
酸化膜に挟まれているため、層間絶縁膜の誘電率が上が
り、配線容量が大きくなり、伝播速度が遅くなってしまう
という問題があった。

【0 0 1 4】また、シリコン酸化膜を剥離した溝の内面
に、酸化膜が残存することで、誘電率が高くなり、結果
として誘電特性が低下してしまっていた。

【0 0 1 5】次に図 6 2 には別の従来例を示した。図 6
2 中の 3 0 2 は配線部を表しており、3 0 3 は S i N、
3 0 1 は S i O 2 等の層間絶縁膜である。従来、混載ロ
ジックにおいては、コンタクトホールを形成後、上記に
記載した様に、高アスペクトになるにつれ、エッチング
レートが減少するためウエハ面内のコンタクトホールの
加工形成は非常に困難になる。

【0 0 1 6】特に、1 チップに D R A M 及びロジックが
混載する配線の有機シリコン酸化膜のコンタクトホール
形成エッチングプロセス (図 6 2 参照) では、デザイン
ルールの違いから、ロジック部分の方が、合わせ幅 (フ
リンジ) が D R A M 部と比較し、四分の一程度であるた
めリンの合わせずれ (図 6 2 中 A) が生じた場合は、配
線間の層間絶縁膜を削ってしまうボーダレスなエッチ
ングになってしまう事、かつ高アスペクトにより、エッチ

ングレートが顕著に減少するという問題があった。

【0017】以上の事から、配線間のコンタクトホール形成が更に困難になる。こればロジックでも同様である。

【0018】また、図63には、自己整合型コンタクト形式(SAC)を示した。

【0019】図63中の201はシリコン基板、202は熱酸化膜、203及び206はSiN、204、及び208はポリシリコン、205はWSi、207はSiO₂等の層間絶縁膜である。

【0020】現在のSACエッチングプロセスは、ゲート間に層間絶縁膜のコンタクトホールの開口を行う。また、前記のコンタクトホール形成の際、ゲートの微細加工に伴い、ホール開口径が、ゲート上の肩部分にかかることにより、シリコン酸化膜の対シリコン窒化膜の高選択エッチングが要求される。

【0021】しかしながら、従来のドライエッチング技術では、基板上のシリコン窒化膜の選択比は、高選択が得られるものの、自己整合型コンタクト形成の際、ゲート上の肩の選択比が、約三分の一程度と選択比が減少する。

【0022】そのため、自己整合型コンタクト形成において、ゲートコンタクト間(ポリシリコン208とWSi205)で、ショートを引き起こす問題があった(図63中のBの部分等)。

【0023】また、今後微細加工に伴い、層間絶縁膜の高アスペクトエッチングも要求されることから、加工形成の際、シリコン窒化膜と選択のとれる条件でエッチングを行うと、エッチングが途中でストップするという問題があった。

【0024】

【発明が解決しようとする課題】以上の工程より従来技術においては、ドライエッチング方法では、前記シリコン基板は、有機シリコン酸化膜であるので、選択エッチングにおいて、有機シリコン酸化膜をエッチングする際、エッチングストップをおこす問題があった。また、フロロカーボン膜が底に堆積する量が、シリコン酸化膜と比較し多いため、例えば、溝及びコンタクトホールのパターンサイズが小さくなるに従い、高アスペクトになるため、エッチングが減少する傾向が顕著に現れていた。

【0025】また、溝加工及びデュアル・ダマシン(穴、溝及び、溝、穴一括開口)の溝加工の際、ウエハ面内の溝の深さ制御を行う事は非常に困難であり、シリコン窒化膜等のストッパーを使用しないと深さ制御が難しかった。さらに、シリコン窒化膜が、有機シリコン酸化膜に挟まれているため、層間絶縁膜の誘電率が上がり、配線容量が大きくなり、伝播速度が遅くなってしまうという問題があった。

【0026】本発明の目的は、有機シリコン酸化膜加工

形成の際、シリコン酸化膜コンタクトホールの柱及び、溝状に形成した後、有機シリコン酸化膜を塗布し、ウェットエッチングにより、シリコン酸化膜の除去を行い、また柱状体を先に形成してから溝加工を行う事により、有機シリコン酸化膜のコンタクトホール及び、溝の形状加工を行い、エッチングストップを起こさず、ウエハ面内の溝の深さ制御を容易に行うことができ、層間絶縁膜の誘電率が低い半導体装置及び半導体装置の製造方法を提供することである。

10 【0027】

【課題を解決するための手段】上記目的を達成するために、この発明では、埋設されるべき導体または絶縁体が表面に露出されている状態で、前記導体または絶縁体表面上にシリコン化合物の柱状体を形成する工程と、前記導体または絶縁体が露出されている表面上に有機シリコン酸化膜を堆積させて前記シリコン化合物の柱状体をその内部に埋め込む工程と、有機シリコン酸化膜中に埋め込まれたシリコン化合物を除去して開口部を形成する工程と、前記開口部中に配線材料を埋め込んで埋め込まれた導体に対する電気接続部を形成する工程とを有することを特徴とする。

【0028】また、上記目的を達成するために、この発明では、埋設されるべき導体または絶縁体が表面に露出されている状態で前記導体表面上に、第1のシリコン酸化物の柱状体を形成する工程と、前記導体または絶縁体が露出されている表面上に第1の有機シリコン酸化膜を堆積させて前記第1のシリコン酸化物の柱状体をその内部に埋め込む工程と、前記堆積された構造体上の第1のシリコン酸化物に第1のシリコン酸化物柱状体の断面積と同じまたは大きい断面積の第2のシリコン酸化物を堆積させる工程と、前記第2のシリコン酸化物を第2の有機シリコン酸化膜で埋め込む工程と、前記第1及び第2の有機シリコン酸化膜中に埋め込まれた第2のシリコン酸化物及び第1のシリコン酸化物を除去して開口部を形成する工程と、前記開口中に配線材料を埋め込んで埋め込まれた導体に対する電気接続部を形成する工程とを有することを特徴とする。

【0029】また、上記目的を達成するために、この発明では、導体または絶縁体表面上にシリコン酸化物の柱状体を形成する工程と、前記導体または絶縁体が露出されている表面上に有機シリコン酸化膜を堆積させて前記シリコン酸化膜の柱状体をその内部に埋め込む工程と、前記有機シリコン酸化膜の一部と前記有機シリコン酸化膜中に埋め込まれた前記シリコン酸化膜を除去して開口部を形成する工程と、前記開口部中に配線材料を埋め込んで埋め込まれた導体に対する電気接続部を形成する工程とを有することを特徴とする。

【0030】また、上記目的を達成するために、この発明では、互いに対向して溝部が形成される複数の柱状体の表面にシリコン窒化膜を形成し、前記柱状体の一部を

50

覆うように形成させた有機シリコン酸化膜を備え、前記有機シリコン酸化膜は、前記溝部が露出するような開口部を有することを特徴とする。

【0031】また、上記目的を達成するために、この発明では、基板上に絶縁層を形成する工程と、前記絶縁層を選択的にエッチングして第1の柱状体を形成する工程と、前記第1の柱状体の表面上に保護膜を形成する工程と、前記保護膜で覆われた前記第1の柱状体を埋設するように酸化膜を形成する工程と、前記酸化膜を平坦化する工程と、前記酸化膜のコンタクトホール

10

の第2の柱状体を形成する工程と、前記第2の柱状体を埋設するように第2の酸化膜を形成する工程と、前記第1酸化膜を除去し溝部を形成する工程とを有することを特徴とする。

【0032】上記構成を有する半導体装置の製造方法であると、選択エッチングにおいて、有機シリコン酸化膜をエッチングする際、エッチングストップの問題がなく、また、溝加工及びデュアル・ダマシンの溝加工の際、ウエハ面内の溝の深さ制御を容易に行うことができ、層間絶縁膜の誘電率の上昇を防ぐことができる。また、配線上のシリコン窒化膜との選択比が非常に高い条件であるため、もし、シリコン酸化膜が抜けてしまっても、配線間で止まることになる。この形状により、バリアメタル及び、配線材料の成膜が容易になる。加えて、コンタクトホール部を所望の形状に加工することができる。

20

【0033】

【発明の実施の形態】本発明は以下の実施の形態を図面を用いて説明するが、本発明はここで説明する実施の形態に限定されるものではない。下記実施の形態は発明の目的を逸脱しない限りにおいて多様に変形することができる。

30

【0034】はじめに図1から図15を用いて本発明の第1の実施の形態を説明する。

【0035】図1に今回使用したエッチング装置を示す。

【0036】図1中の符号11は真空チャンバーを示し、この真空チャンバー11のチャンバー内には、被処理物12を載置する載置台13が設けられており、この載置台13に対向して対向電極14が設けられている。

【0037】前記載置台13は、温度調節機構を有しており、被処理物12の温度を制御できるようになっている。

40

【0038】また、真空チャンバー11の上部には、ガス導入管15が接続されている。ガス導入管15から、真空チャンバー11にガスが導入され、排気口16の弁により圧力が調整される。

【0039】圧力が安定を示した後、載置台13下の高周波電極17から、高周波を印可する事により真空チャンバー11内にプラズマが発生する。

【0040】また、真空チャンバー11の外周部には磁

50

石18が設けており、真空中に高密度な磁界を作り、プラズマ中のイオンに異方性を持たせ、被処理物12がエッチングされる。このようなマグネトロンR I E装置である。

【0041】本発明では、図1に示したマグネトロンR I E装置を使用した。これ以外にも、ECR、ヘリコン、誘導結合型プラズマ等の他のドライエッチング装置に於いても使用可能である。

【0042】図2には、図1に示したマグネトロンR I E装置を用いて、シリコン酸化膜、PSG膜、有機シリコン酸化膜及び、無機シリコン酸化膜のエッチングレートを算出した結果を示した。

【0043】反応性ガスとしては、今回使用されているC4F8/C0/Ar=10/50/200(sccm)の条件に、O2を微量に(0から10(sccm))添加した混合ガスを用い、圧力は40(mTorr)、高周波電流は1700(W)、ウエハ基板温度は20(℃)の条件でエッチングを行っている。

【0044】図2に示すように、O2を $0 \leq O2 \leq 10$ (sccm)の範囲で添加し、エッチングすることにより、シリコン酸化膜のエッチングレートは殆ど変化しない。また、PSG膜はシリコン酸化膜の約1.2倍程度エッチングレートは早い。同様の傾向が得られた。

【0045】しかしながら、無機シリコン膜のエッチングレートは、O2を5(sccm)添加する事により、エッチングレートがO2を添加しない時と比較し、約3.3倍程度上昇する傾向を示した。また、有機シリコン酸化膜に関しては、 $0 \leq O2 \leq 5$ (sccm)の範囲では、エッチングレートは緩やかに上昇し、 $5 \leq O2 \leq 10$ (sccm)の範囲では、エッチングレートが上昇する傾向を示した。

【0046】上記の原因としては、有機シリコン酸化膜に含まれるCH3基及び、無機シリコン酸化膜に含まれるHが、O2を添加する事により、COまたは、HFを生成し除去されるため、エッチングが促進されると考えられる。

【0047】以上の結果を基に、O2流量が少ないほど、シリコン酸化膜に村有機シリコン酸化膜及び無機シリコン酸化膜の選択エッチング及び無機シリコン酸化膜の対シリコン酸化膜の選択エッチングが可能である。

【0048】次に上記のエッチング装置及びエッチング条件を用いて、図3に示すように、シリコン酸化膜5で覆われた配線6上にシリコン酸化膜を成膜する。この時、配線6間の層間絶縁膜は、有機シリコン酸化膜を用いている。

【0049】さらにシリコン酸化膜3成膜後反射防止膜2を塗布する。

【0050】次に図4、図5、図6に示すように、レジスト1でパターンニングを行った後、例えばR I E等でエッチングを行い、配線上にシリコン酸化物3の柱状体を作成する。

【0051】この時のエッチング条件としては、シリコ

ン酸化膜 3 の対レジスト選択比が高くかつ、有機シリコン酸化膜と選択エッチングが可能で、40 (mTorr)、高周波電流は 1700 (W)、C4F8/C0/Ar=10/50/200 (sccm) で行った。これによって、合わせズレにより、コンタクトの柱状体が配線から外れた際、配線間の層間絶縁膜の削れ量を抑制できる。

【0052】次に、図 7 に示すように、コンタクトホールを形成した後、有機シリコン酸化膜 4 を堆積させ埋め込みを行う。

【0053】その後、図 8 に示すように、シリコン酸化膜 3' を成膜する。前記シリコン酸化膜 3' 成膜後、反射防止膜 2' を塗布し、レジスト 1' を塗布する。

【0054】次に図 9 に示すように、前記レジスト 1' のパターンニングを行った後、例えば R I E などエッチングを行う。

【0055】さらに、図 10 に示すように、前記パターンニングを用いて、前記シリコン酸化膜 3'、前記反射防止膜 2' のエッチングを行う。

【0056】次に、図 11 に示すように、さらに例えば R I E 等を用いてエッチングを行い、前記シリコン酸化膜 3' と前記反射防止膜 2' を削除し、シリコン酸化膜 3' の配線を形成する。この時のエッチング条件としては、上記記載のエッチング条件を用いている。

【0057】また、この条件は、シリコン酸化膜の対有機シリコン酸化膜の選択比は、約 9 倍程度得られることから、シリコン酸化膜配線形成の際のストッパーとして下地の有機シリコン酸化膜が寄与する。

【0058】次に、図 12 に示すように、シリコン酸化膜 3' の配線形成後、有機シリコン酸化膜 4' を塗布し埋め込む。

【0059】次に、図 13 に示すように、有機シリコン酸化膜 4' を埋め込んだ後、希フッ산で、シリコン酸化膜 3 及び 3' の除去を行う。この時、有機シリコン酸化膜 4 及び 4' は、メチル基がシリコン酸化膜に含まれているため疎水性が非常に高く、有機シリコン酸化膜との選択性は非常に高いため殆ど削れない。

【0060】これにより、デュアル・ダマシン構造を形成する事ができる。デュアル・ダマシン構造を形成した後、図 14 に示すように、配線上のシリコン窒化膜を例えば R I E などによりエッチングした後、バリアメタル 7 を引き、配線材料 8 を埋め込む。

【0061】さらに、図 15 に示すように、例えば C M P 等により平坦化を行う。

【0062】また、本発明の第 1 の実施の形態で、柱状体として使用している膜は、シリコン酸化膜であるが、リンあるいはボロンあるいは F がドーピングしてある、シリコン酸化膜、及び、無機シリコン酸化膜でも同様の傾向が得られるので、使用可能である。

【0063】また反射防止膜としては、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有

する有機シリコン膜を使用する事もできる。また、配線材料としては、Al-Cu、Nb-Al-Cu、及び Cu であってもよい。

【0064】バリアメタルとしては、Ti、TiN を使用する。今回、シリコン酸化膜を除去するにあたり、希フッ酸処理を行っているが、Vapor フッ酸処理、及び、Buffer フッ酸処理でも同様にシリコン酸化膜を除去できる。

【0065】次に図 16 から図 23 を用いて本発明の第 2 の実施の形態を説明する。

【0066】図 16 に示すように、配線 6 上に多少の有機シリコン膜 4 を成膜する状態で塗布した後（この状態では、配線が前記有機シリコン膜 4 で覆われている）、本発明の第 1 の実施の形態と同様、図 17、図 18 に示すように、柱状体を形成する。

【0067】次に図 19 に示すように、シリコン酸化膜 3' を成膜し、反射防止膜 2' を塗布し、レジスト 1' を塗布する。

【0068】次に図 20 に示すように、前記レジスト 1' をパターンニングを行った後、例えば R I E などエッチングを行い、前記パターンニングを用いて、前記シリコン酸化膜 3'、前記反射防止膜 2' のエッチングを行い、前記シリコン酸化膜 3' と前記反射防止膜 2' を削除し、シリコン酸化膜 3' の配線を形成する。

【0069】次に、図 21 に示すように、有機シリコン酸化膜 4' を塗布し埋め込み、希フッ酸で、シリコン酸化膜 3 及び 3' の除去を行う。これにより、デュアル・ダマシン構造を形成する事ができる。デュアル・ダマシン構造を形成した後、図 22 に示すように、配線上のシリコン窒化膜を例えば R I E などによりエッチングした後、バリアメタル 7 を引き、配線材料 8 を埋め込む。

【0070】最後に図 23 に示すように、例えば C M P 等により平坦化を行う。

【0071】また、本発明の第 2 の実施の形態で、柱状体として使用している膜は、シリコン酸化膜であるが、リンあるいはボロンあるいは F がドーピングしてある、シリコン酸化膜、及び、無機シリコン酸化膜でも同様の傾向が得られるので、使用可能である。また反射防止膜としては、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン膜を使用する事もできる。また、配線としては、Al-Cu、Nb-Al-Cu、及び Cu であってもよい。

【0072】バリアメタルとしては、Ti、TiN を使用する。今回、シリコン酸化膜を除去するにあたり、希フッ酸処理を行っているが、Vapor フッ酸処理、及び、Buffer フッ酸処理でも同様にシリコン酸化膜を除去できる。

【0073】以上より、本発明の第 2 の実施の形態を用いることにより、配線が交差するところにおいても、下部の回線と交差することなく配線を作成することが可能

である。

【0074】次に図24から図28を用いて本発明の第3の実施の形態を説明する。

【0075】図24に示すように、本発明の第2の実施の形態と同様、配線6上にシリコン酸化物3を形成し、有機シリコン酸化膜4で埋め込みを行った後、反射防止膜2'、レジスト1'を塗布し、レジスト1'のパターニングを行う。

【0076】次に図25に示すように、前記レジスト1'をマスクとして、前記反射防止膜2'及び前記有機シリコン酸化膜4のエッチングを行う。

【0077】この時、上記の条件でエッチングを行うことから、酸化膜と比べて有機シリコン酸化膜4のコンタクトピラーのエッチング速度が早いので、配線部分で丸みを帯びる形状ができる。また、コンタクトホールに残ったシリコン酸化膜3は、後工程で希フッ酸により除去を行う。

【0078】また、このエッチング条件は、配線上のシリコン酸化膜との選択比が非常に高い条件であるため、もし、シリコン酸化膜が抜けてしまっても、(選択比は約20-30程度)配線間で止まる。この形状により、バリアメタル及び、配線材料の成膜が容易になる。

【0079】さらに図26に示すように、前記溝加工のエッチングを行った後、例えばRIE等を用いて前記反射防止膜2'及び前記有機シリコン酸化膜4を除去する。

【0080】次に図27に示すように、配線上のシリコン酸化膜を例えば希フッ酸により除去し、バリアメタル7及び、配線材料8を成膜する。

【0081】最後に図28に示すように、例えばCMPにより平坦化を行う。またこの時、前記図25にあったエッチングをしたときの丸みを帯びる度合いをコントロールする際は、エッチング条件にO₂を添加する事により、エッチングレート差をなくす事で、丸みを制御する事が可能である。

【0082】また今回、柱状体として使用している膜は、シリコン酸化膜であるが、リンあるいはホロンあるいはFがドーピングしてある、シリコン酸化膜、及び、無機シリコン酸化膜でも同様の傾向が得られる。また有機シリコン酸化膜に於いても、同様の傾向が得られた。

【0083】反射防止膜としては、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン膜を使用する事もできる。また、配線材料としては、Al-Cu、Nb-Al-Cu、及びCuを使用する。バリアメタルとしては、Ti、TiNを使用する。今回、シリコン酸化膜を除去するにあたり、希フッ酸処理を行っているが、Vaporフッ酸処理、及び、Bufferフッ酸処理でも同様にシリコン酸化膜を除去できる。

【0084】次に図29から図33を用いて本発明の第4の実施の形態を説明する。

【0085】図29に示すように、MO工程(溝加工プロセス)の際にも、下地の有機シリコン酸化膜4、シリコン酸化膜3上に反射防止膜2を塗布した後、パターニングを行い、前記本発明の第2の実施の形態記載の条件を用いて、シリコン酸化膜1を例えばRIEなどを用いてエッチングを行う。

【0086】次に図30に示すように、前記反射防止膜2、及びシリコン酸化膜1を例えばRIEなどを用いてエッチングする。

【0087】さらに図31に示すように、前記反射防止膜2、及びシリコン酸化膜1を例えばRIEなどを用いて除去する。

【0088】次に図32に示すように、有機シリコン酸化膜4を塗布した後、図33に示すように、例えば、希フッ酸によりシリコン酸化膜3の除去を行う。これにより、有機シリコン酸化膜4を層間絶縁膜とし、制御良くMOプロセスを形成する事ができる。

【0089】今回、柱状体として使用している膜は、シリコン酸化膜であるが、リンあるいはボロンあるいはFがドーピングしてある、シリコン酸化膜、及び、無機シリコン酸化膜でも同様の傾向が得られる。

【0090】今回、シリコン酸化膜を除去するにあたり、希フッ酸処理を行っているが、Vaporフッ酸処理、及び、Bufferフッ酸処理でも同様にシリコン酸化膜を除去できる。

【0091】次に図34から図38を用いて本発明の第5の実施の形態を説明する。

【0092】図34に示すように、下地の有機シリコン酸化膜4、シリコン酸化膜3上に反射防止膜2を塗布した後、パターニングを行い、シリコン酸化膜1を例えばRIEなどを用いてエッチングを行う。この時のエッチング条件としては、シリコン酸化膜の対レジスト選択比が高くかつ、有機シリコン酸化膜と選択エッチングが可能な、40(mTorr)、1700(W)、C4F8/C0/Ar=10/50/200(sccm)で行った。

【0093】次に図35に示すように、前記反射防止膜2、及びシリコン酸化膜1を例えばRIEなどを用いてエッチングする。

【0094】さらに図36に示すように、前記反射防止膜2、及びシリコン酸化膜1を例えばRIEなどを用いて除去する。

【0095】次に図37に示すように、有機シリコン酸化膜4を塗布した後、図38に示すように、例えば、希フッ酸によりシリコン酸化膜3の除去を行う。これにより、有機シリコン酸化膜4を層間絶縁膜とし、制御良くMOプロセスを形成する事ができる。

【0096】本実施形態を用いることにより、微細加工の精度を向上することができる。

【0097】また今回、柱状体として使用している材料は、シリコン酸化膜であるが、リン、ボロンあるいはF

がドープしてある、シリコン酸化膜及び無機シリコン酸化膜でも同様の傾向が得られる。有機シリコン酸化膜に於いても、同様の傾向が得られた。また、シリコン酸化膜を除去するにあたり、希フッサン処理を行っているが、Vaporフッサン処理、及び、Bufferフッサン処理でも同様にシリコン酸化膜を除去できる。

【0098】次に図39から図46を用いて本発明の第6の実施の形態を説明する。

【0099】図39は混載ロジックとして、DRAM部とロジック部が形成されている半導体装置の製造工程であり、DRAM部とロジック部の両方の製造工程を同時に10 に行い説明は共通するものとする。まず、バリアメタル5で覆われた配線6の周囲に有機シリコン酸化膜4を成膜する。有機シリコン酸化膜4成膜後、その上にシリコン酸化膜3を積層し、次に反射防止膜2を塗布し、レジスト1を堆積させる。その後、パターンニングを行い、前記レジストの例えばRIE等でエッチングを行う。さらに図40に示すように、前記形成されたシリコン酸化膜3を、例えばRIE等でエッチングを行い、配線上にシリコン酸化膜3の柱状体をたてる。

【0100】この時のエッチング条件としては、シリコン酸化膜の対レジスト選択比が高くかつ、有機シリコン酸化膜4と選択エッチングが可能な、40(mTorr), 1700(W), C4F8/CO/Ar=10/50/200(sccm)の条件下で行った。以上から、合わせズレによってコンタクトの柱状体が配線から外れた際の配線間の層間絶縁膜の削れ量を抑制できる。

【0101】次に、図41に示すように、前記レジスト1及び反射防止膜2を除去し、コンタクトホール1のピラー3を形成する。さらに図42に示すように、有機シリコン酸化膜4を埋め込む。次に図43に示すように、前記有機シリコン酸化膜4を埋め込んだ後、例えば希フッサン等で、埋め込んだ有機シリコン酸化膜4の除去を行う。この後図44に示すように、DRAM部においてはバリアメタル膜5を配線の上部のみを例えばRIEなどを20 持ちて除去する。さらに図45に示すように、バリアメタル7を引き、その後配線材料6を埋め込みを行う。さらに図46に示すように、例えばCMP等により平坦化を行う。これにより、ロジック部分及びDRAM部分のボータレスエッチングを抑制でき、制御良く加工することができる。

【0102】また、本発明の第6の実施の形態の別の例として、図39に示したバリアメタル5で覆われた配線6上に、有機シリコン酸化膜を薄く引き、本発明の第6の実施の形態の最初の例に記載したシリコン酸化膜成膜後、同様に、シリコン酸化膜の柱状体を形成し、有機シリコン酸化膜の塗布を行い、希フッサンでシリコン酸化膜の除去を行う。この後、有機シリコン酸化膜上記記載の条件でエッチバックを行い、コンタクトホール底の有機シリコン酸化膜を除去するが、この時、前記配線

上のストッパー膜は、有機シリコン酸化膜の下に位置し希フッサンにさらされないため、バリアメタルにする事が可能になる。

【0103】この後、本発明の第6の実施の形態の最初の例と同様にバリアメタルを引き、配線材料を埋め込み、CMPにより平坦化を行う。これにより、ロジック部分及びDRAM部分のボータレスエッチングを抑制でき、制御良く加工することができる。また、今回は、混載ロジックを例としているが、ロジック部の有機シリコン酸化膜を層間絶縁膜とする、コンタクトホール形成に於いても、非常に有効に利用することができる。また、混載ロジック及びロジック部のデュアル・ダマシ形成の際、本発明の第1の実施形態に示した方法で形成する事で、ボータレスエッチングを抑制でき、制御良く加工することができる。

【0104】また今回、柱状体として使用している膜は、シリコン酸化膜であるが、リンあるいはボロンあるいはFがドープしてある、シリコン酸化膜及び無機シリコン酸化膜でも同様の傾向が得られる。さらに反射防止膜20 としては、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン膜を使用する事もできる。また、配線材料としては、Al-Cu, Nb-Al-Cu, 及びCuを使用する。バリアメタルとしては、Ti, TiNを使用する。さらに今回、シリコン酸化膜を除去するにあたり、希フッサン処理を行っているが、Vaporフッサン処理、及び、Bufferフッサン処理でも同様にシリコン酸化膜を除去でき、本発明の実施形態を実現することができる。

【0105】次に図47から図54を用いて本発明の第7の実施の形態を説明する。

【0106】本発明の第7の実施の形態は、SACプロセス(Self Align Contact:自己整合型コンタクトホール形成工程)での製造工程を示した。

【0107】図47に示すように、シリコン基板20上に、熱酸化膜21、ポリシリコン22、タングステンシリサイド23及びシリコン窒化膜24をこの順番で堆積させる。次に図48に示すように、例えばRIEなどで選択的にエッチングを行い、前記エッチングされた上面に再度シリコン窒化膜25を堆積させる。さらに図49に示すように、シリコン酸化膜26を成膜後、例えばCMPにより平坦化を行った後、反射防止膜27、レジスト28をこの順番で堆積させる。

【0108】さらに図50及び図51に示すように、前記レジスト28のパターンニング及びエッチングを行い、シリコン酸化膜のコンタクトホールの柱状体を形成する。さらにアッシングにより、コンタクトホールの柱状体の形成後、有機シリコン酸化膜の塗布を行う。

【0109】次に図52に示すように、前記反射防止膜27及びレジスト28を、例えばRIEなどのエッチングで除去する。続いて図53に示すように、有機シリコ

ン酸化膜 2 9 を例えば C V D などを持って堆積させる。次に図 5 4 に示すように、例えば希フッサン処理により、前記シリコン酸化膜 2 6 の除去を行う。

【 0 1 1 0 】 この時、希フッサンでは、対シリコン窒化膜の選択比は非常に高いため、ゲートの肩が削られるのを抑制する事ができ、所望のコンタクトホールに加工する事ができ、イールドも向上する。また、有機シリコン酸化膜を層間絶縁膜として使用する事により、誘電率が低下する事から、微細加工に伴う S A C プロセスに非常に有効である。

【 0 1 1 1 】 また今回、柱状体として使用している膜は、シリコン酸化膜であるが、リンあるいはボロンあるいは F がドーピングしてある、シリコン酸化膜及び無機シリコン酸化膜でも同様の傾向が得られる。また反射防止膜としては、シリコンとシリコンとの結合を主鎖に有する有機シリコン化合物を含有する有機シリコン膜を使用する事もできる。今回、シリコン酸化膜を除去するにあたり、希フッサン処理を行っているが、Vapor フッサン処理、及び、Buffer フッサン処理でも同様にシリコン酸化膜を除去できる。

【 0 1 1 2 】 本発明の実施形態で使用した層間絶縁膜は、例えばポリシロキサンを用いることができ、シリコン酸化膜の柱状体は、リン、はボロンあるいはフッ素を含有しているシリコン酸化膜であってもよく、またポリシロセスオキサンシリコン酸化膜も用いることができる。また、本発明の実施形態で使用したシリコン酸化物柱状及び柱状体は、配線に沿った溝状等の細長いものでもよく棒状に限定されるものではない。

【 0 1 1 3 】

【発明の効果】 以上本発明を用いることにより、選択エッチングにおいて、有機シリコン酸化膜をエッチングする際、エッチングストップの問題がなく、また、溝加工及びデュアル・ダマシンの溝加工の際、ウエハ面内の溝の深さ制御を容易に行うことができ、層間絶縁膜の誘電率の上昇を防ぐことができる半導体装置及び半導体装置の製造方法を提供することである。

【図面の簡単な説明】

【図 1】 本発明に使用するマグネトロン R I E 装置の構成図。

【図 2】 本発明の実施形態に適用する、シリコン酸化膜、無機シリコン酸化膜及び有機シリコン酸化膜のエッチング特性を示す図。

【図 3】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 4】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 5】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 6】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 7】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 8】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 9】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 1 0】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

10 【図 1 1】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 1 2】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 1 3】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 1 4】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 1 5】 本発明の第 1 の実施形態に係る半導体装置の製造工程を示す断面図。

20 【図 1 6】 本発明の第 2 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 1 7】 本発明の第 2 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 1 8】 本発明の第 2 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 1 9】 本発明の第 2 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 2 0】 本発明の第 2 の実施形態に係る半導体装置の製造工程を示す断面図。

30 【図 2 1】 本発明の第 2 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 2 2】 本発明の第 2 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 2 3】 本発明の第 2 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 2 4】 本発明の第 3 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 2 5】 本発明の第 3 の実施形態に係る半導体装置の製造工程を示す断面図。

40 【図 2 6】 本発明の第 3 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 2 7】 本発明の第 3 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 2 8】 本発明の第 3 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 2 9】 本発明の第 4 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 3 0】 本発明の第 4 の実施形態に係る半導体装置の製造工程を示す断面図。

50 【図 3 1】 本発明の第 4 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 3 2】本発明の第 4 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 3 3】本発明の第 4 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 3 4】本発明の第 5 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 3 5】本発明の第 5 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 3 6】本発明の第 5 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 3 7】本発明の第 5 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 3 8】本発明の第 5 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 3 9】本発明の第 6 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 4 0】本発明の第 6 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 4 1】本発明の第 6 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 4 2】本発明の第 6 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 4 3】本発明の第 6 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 4 4】本発明の第 6 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 4 5】本発明の第 6 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 4 6】本発明の第 6 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 4 7】本発明の第 7 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 4 8】本発明の第 7 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 4 9】本発明の第 7 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 5 0】本発明の第 7 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 5 1】本発明の第 7 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 5 2】本発明の第 7 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 5 3】本発明の第 7 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 5 4】本発明の第 7 の実施形態に係る半導体装置の製造工程を示す断面図。

【図 5 5】従来の技術に係る半導体装置の製造工程を示す断面図。

【図 5 6】従来の技術に係る半導体装置の製造工程を示す断面図。

【図 5 7】従来の技術に係る半導体装置の製造工程を示す断面図。

【図 5 8】従来の技術に係る半導体装置の製造工程を示す断面図。

10 【図 5 9】従来の技術に係る半導体装置の製造工程を示す断面図。

【図 6 0】従来の技術に係る半導体装置の製造工程を示す断面図。

【図 6 1】従来の技術に係る半導体装置の製造工程を示す断面図。

【図 6 2】従来の技術に係る D R A M 及びロジックが混載する配線の有機シリコン酸化膜のコンタクトホール形成エッチングプロセスを示す断面図。

【図 6 3】従来の技術に係る自己整合型コンタクト形式の製造工程を示す断面図。

20 【符号の説明】

1、1'…レジスト

2、2'…反射防止膜

3、3'…シリコン酸化膜

4、4'…有機シリコン酸化膜

5…シリコン酸化膜

6…配線

7…バリアメタル

8…配線材料

1 1…真空チャンバー

30 1 2…被処理物

1 3…載置台

1 4…対向電極

1 5…ガス導入管

1 6…排気口

1 7…高周波電極

1 8…磁石

2 0…シリコン基板

2 1…熱酸化膜

2 2…ポリシリコン

40 2 3…タングステンシリサイド

2 4、2 5…シリコン窒化膜

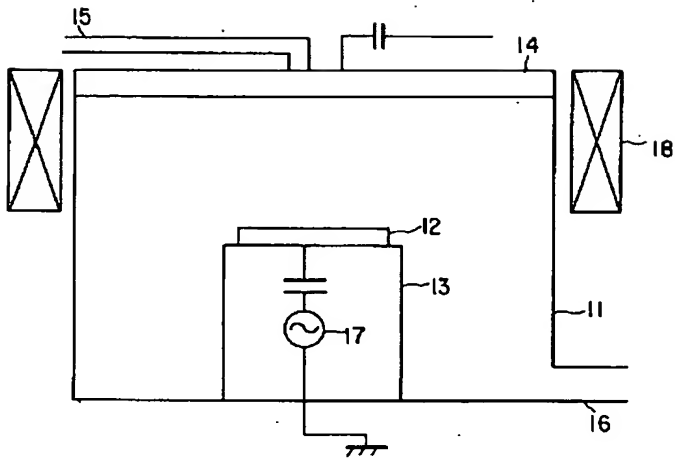
2 6…シリコン酸化膜

2 7…反射防止膜

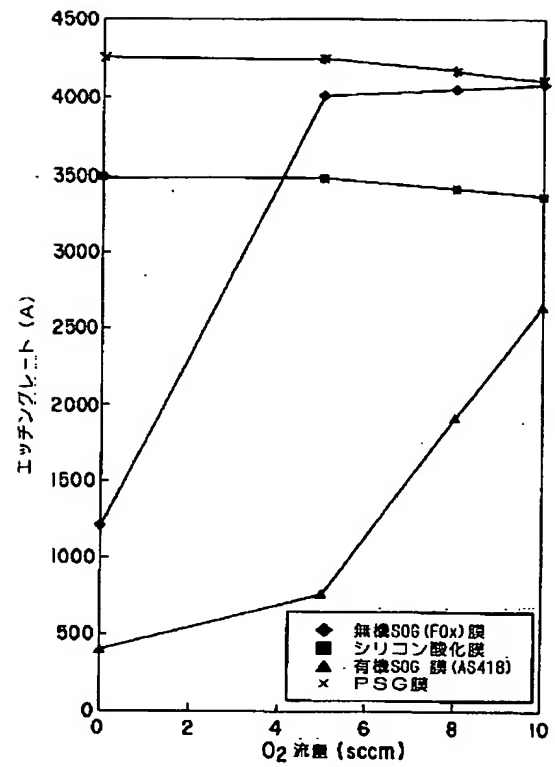
2 8…レジスト

2 9…有機シリコン酸化膜

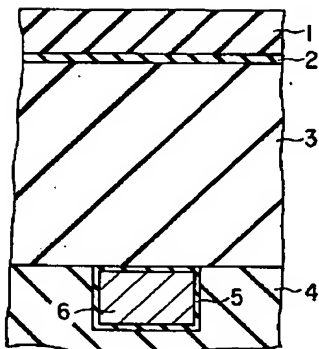
【図 1】



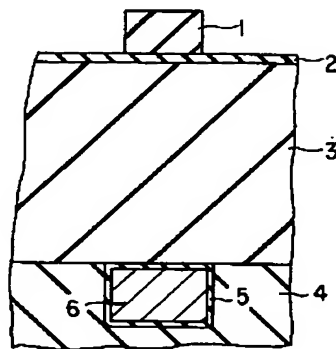
【図 2】



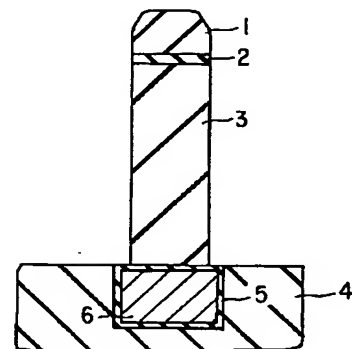
【図 3】



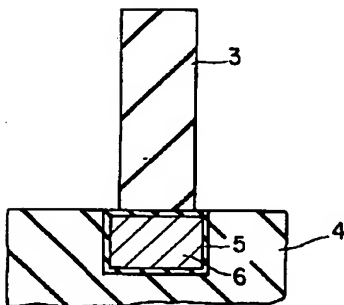
【図 4】



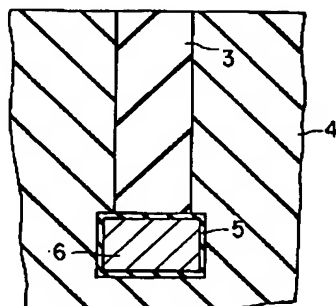
【図 5】



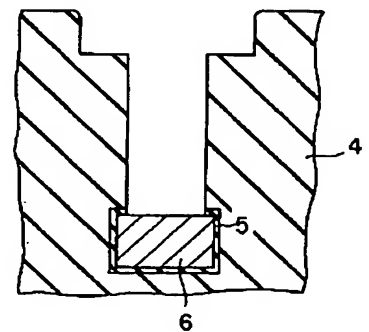
【図 6】



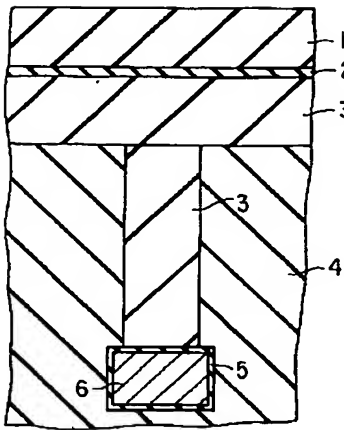
【図 7】



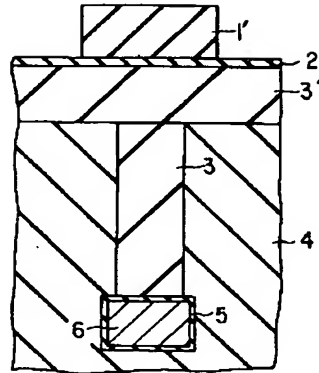
【図 13】



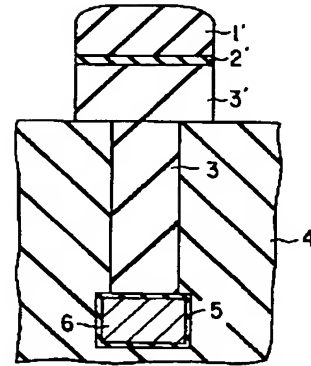
【図 8】



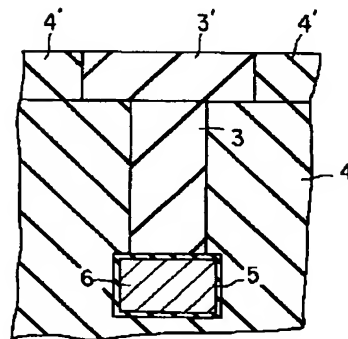
【図 9】



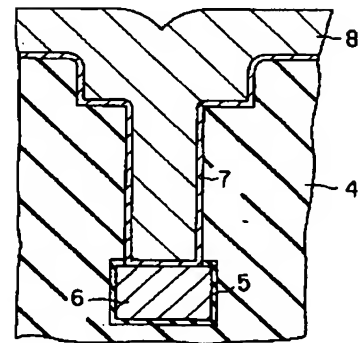
【図 10】



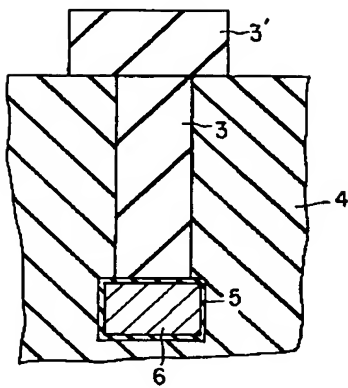
【図 12】



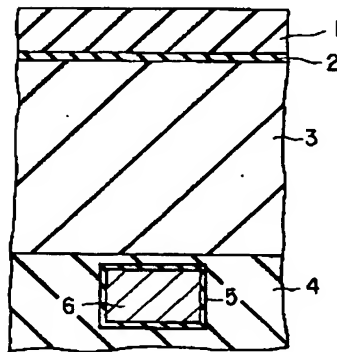
【図 14】



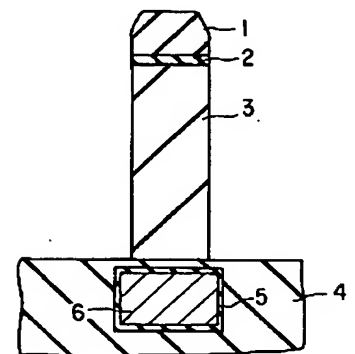
【図 11】



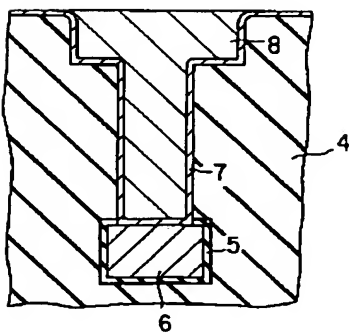
【図 16】



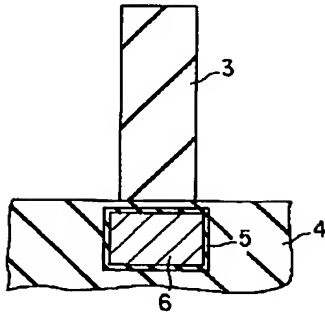
【図 17】



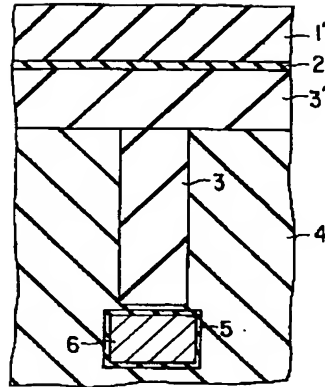
【図 15】



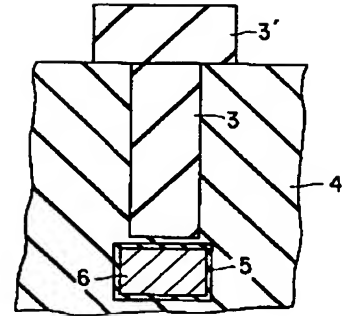
【図 18】



【図 19】

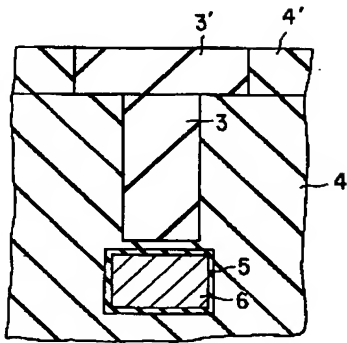


【図 20】

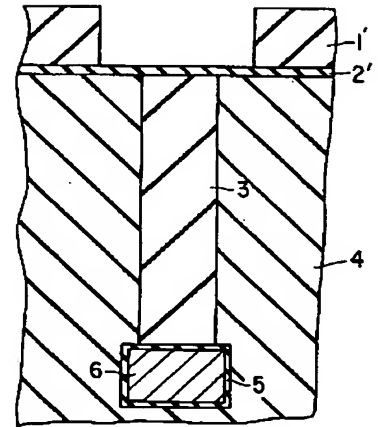
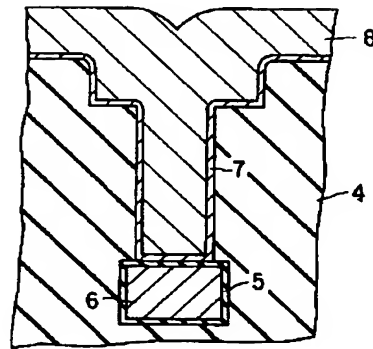


【図 24】

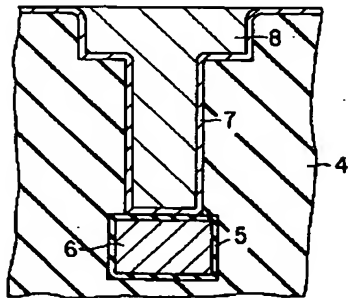
【図 21】



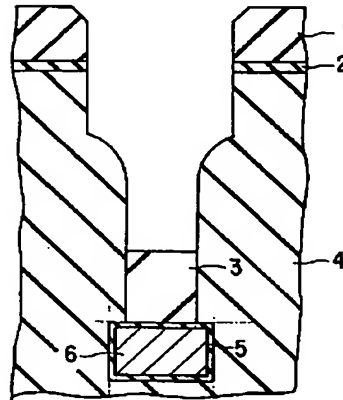
【図 22】



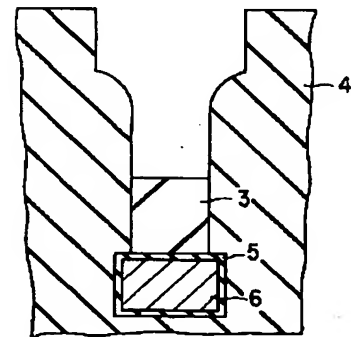
【図 23】



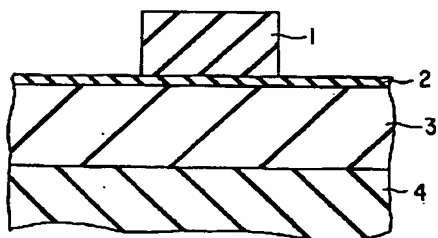
【図 25】



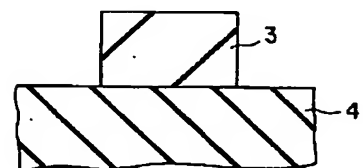
【図 26】



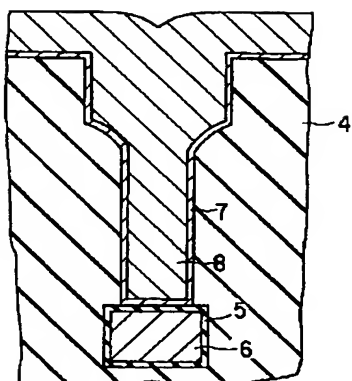
【図 29】



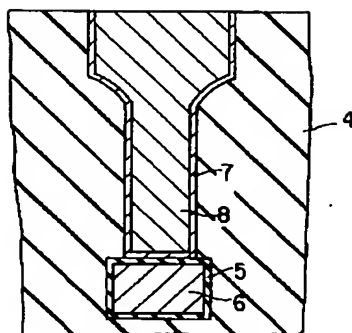
【図 31】



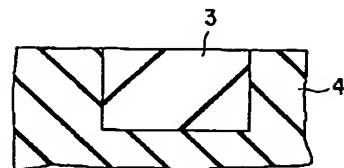
【図 27】



【図 28】

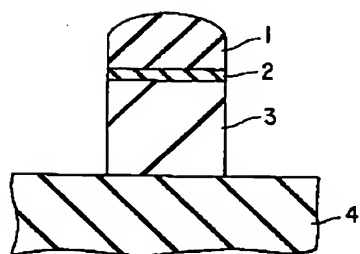


【図 32】

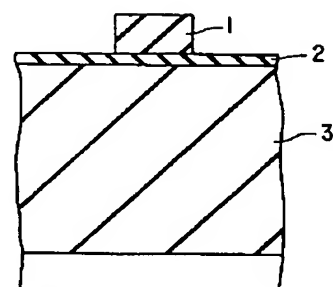
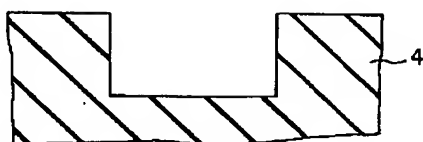


【図 34】

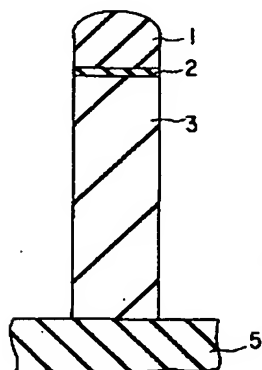
【図 30】



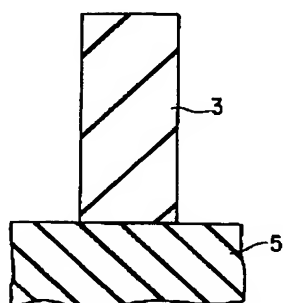
【図 33】



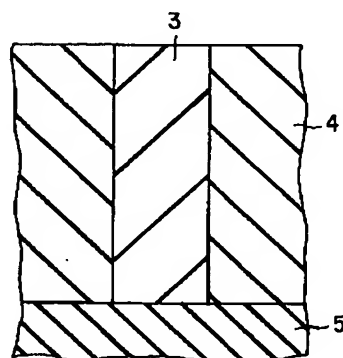
【図 35】



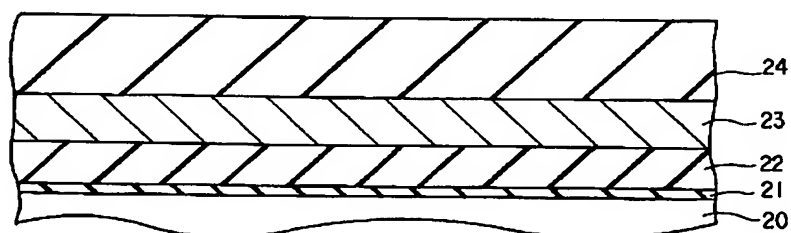
【図 36】



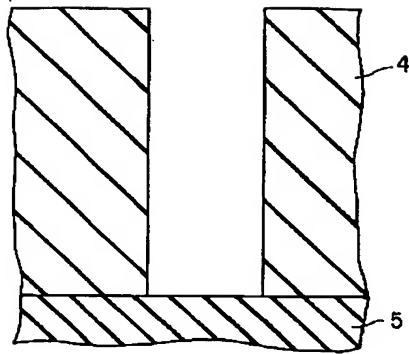
【図 37】



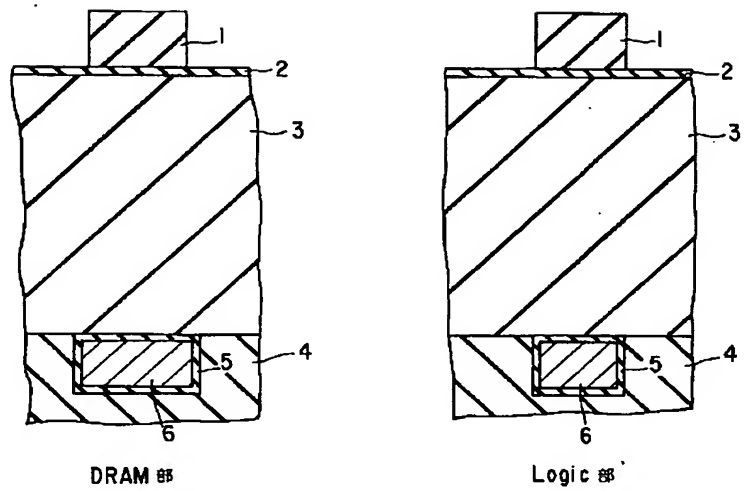
【図 47】



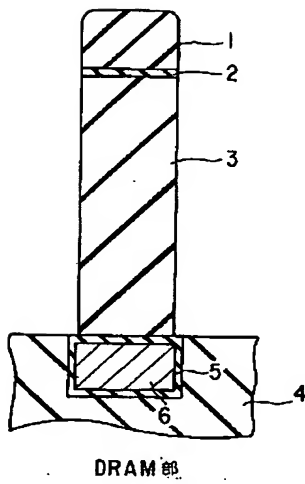
【図 38】



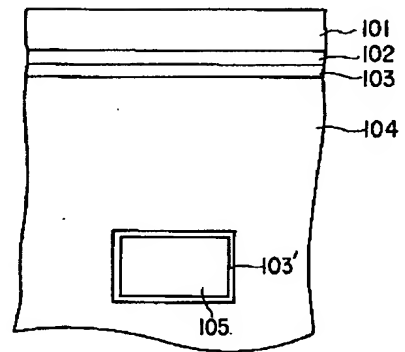
【図 39】



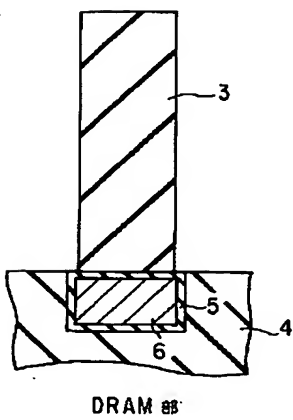
【図 40】



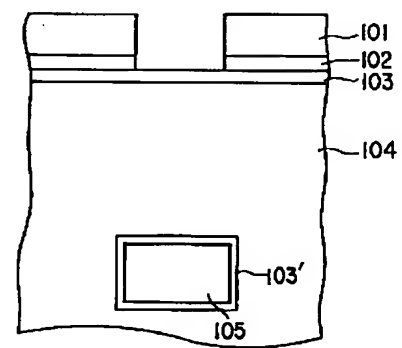
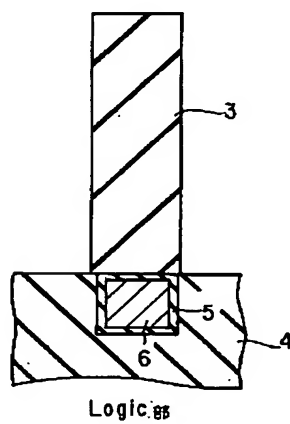
【図 55】



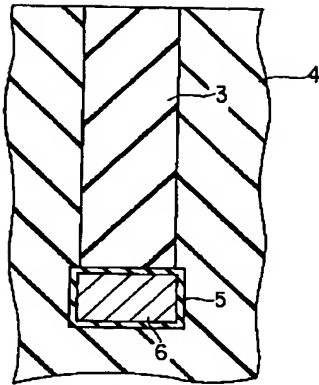
【図 41】



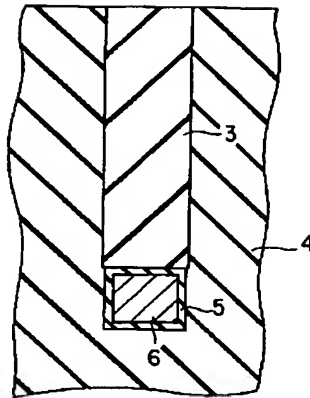
【図 56】



【図 4 2】

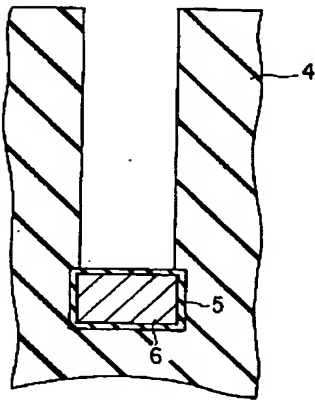


DRAM 部

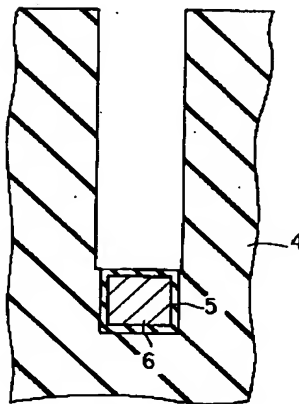


Logic 部

【図 4 3】

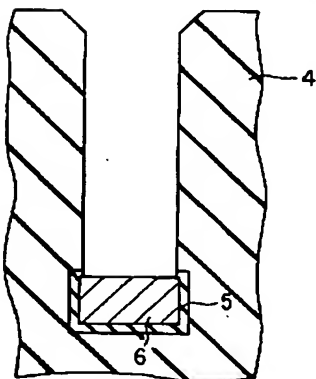


DRAM 部

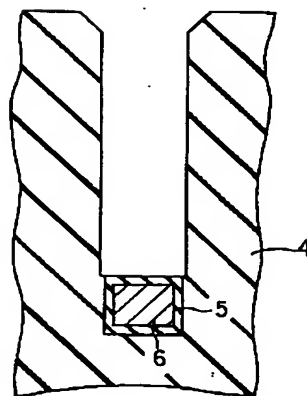


Logic 部

【図 4 4】

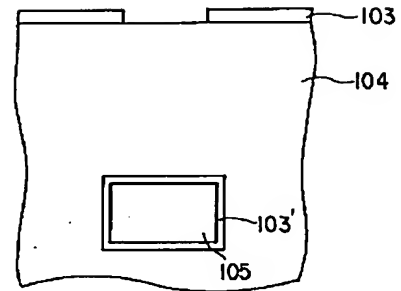


DRAM 部

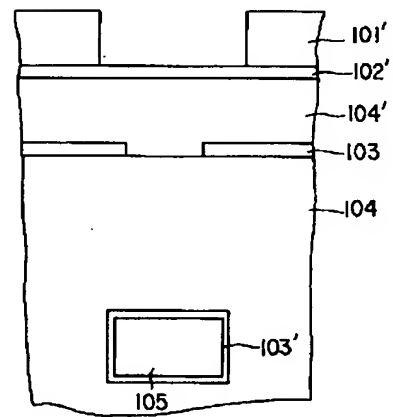


Logic 部

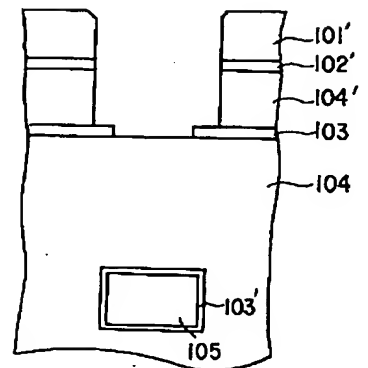
【図 5 7】



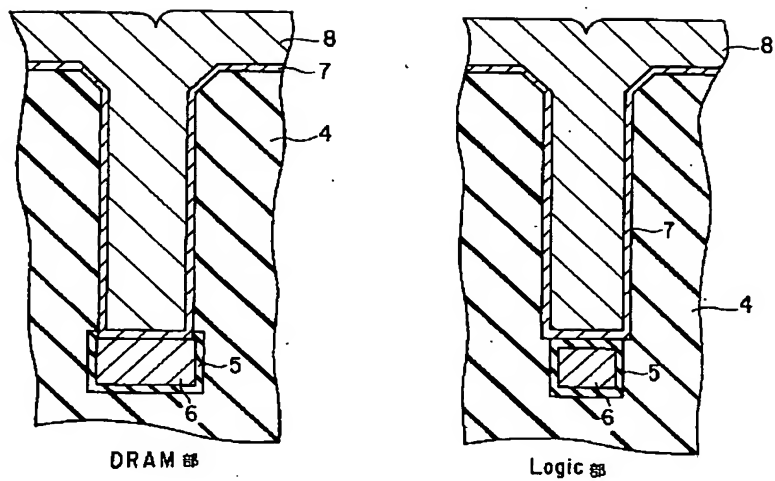
【図 5 8】



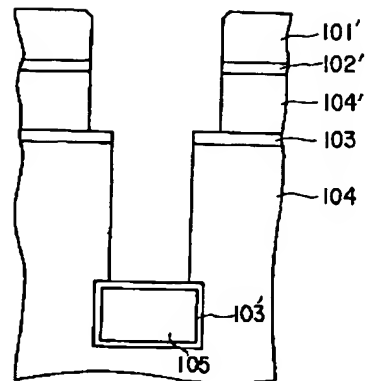
【図 5 9】



【図 45】

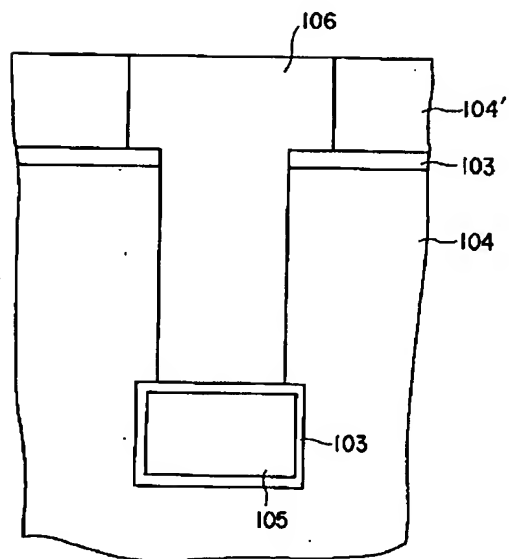
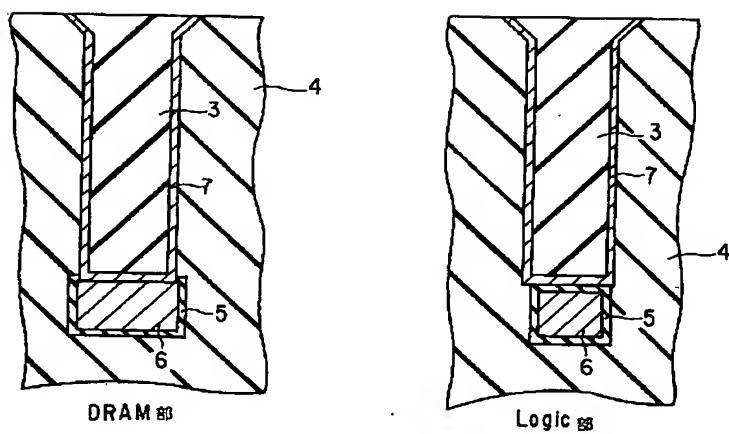


【図 60】

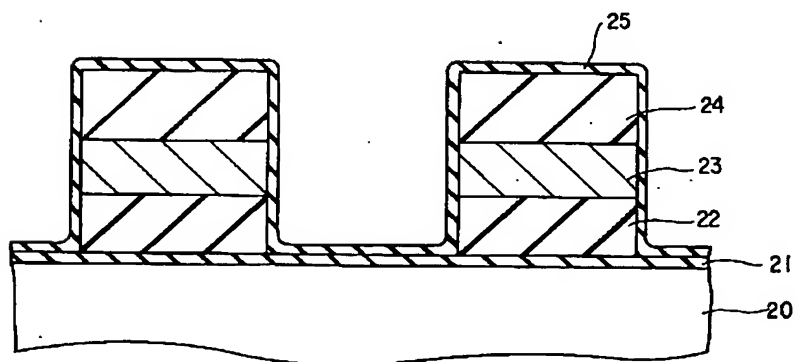


【図 61】

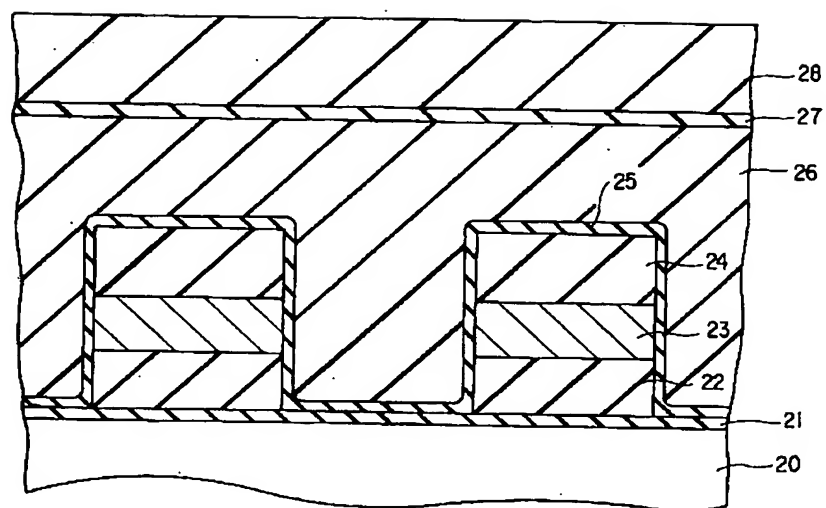
【図 46】



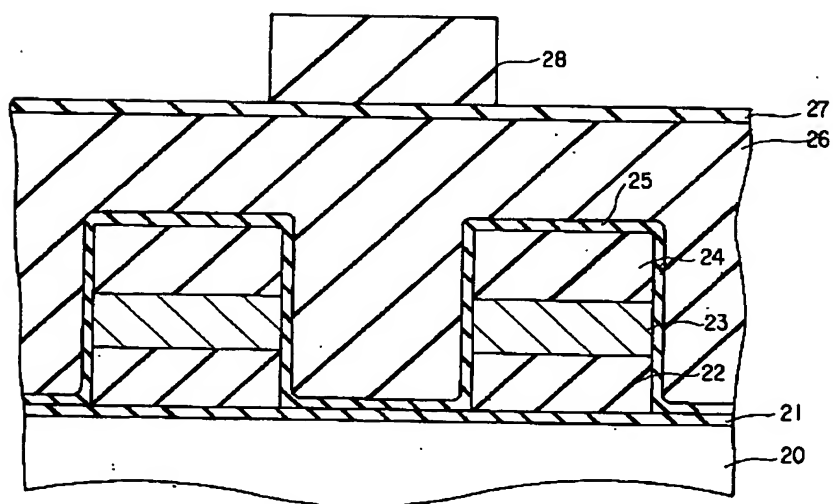
【図 48】



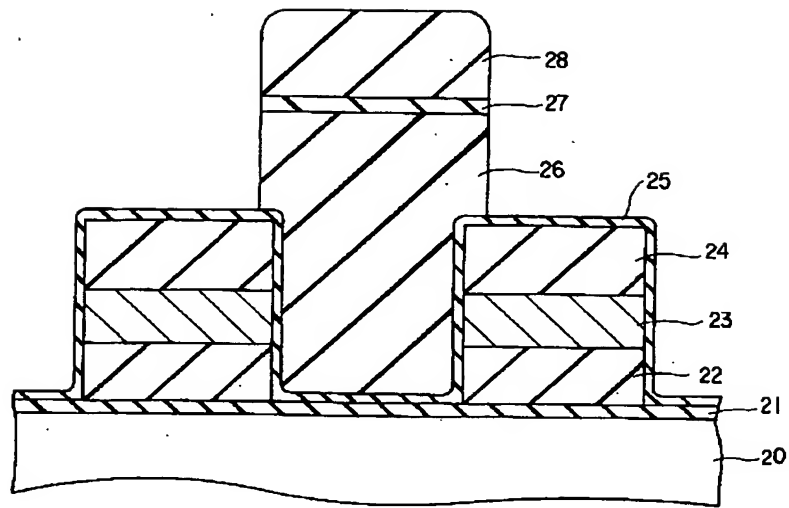
【図 49】



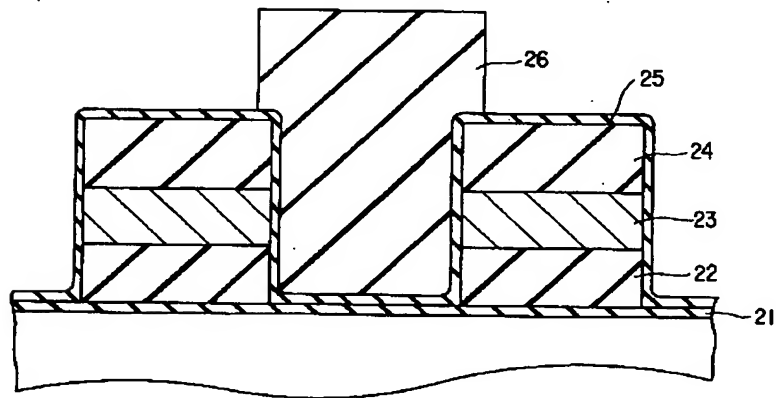
【図 50】



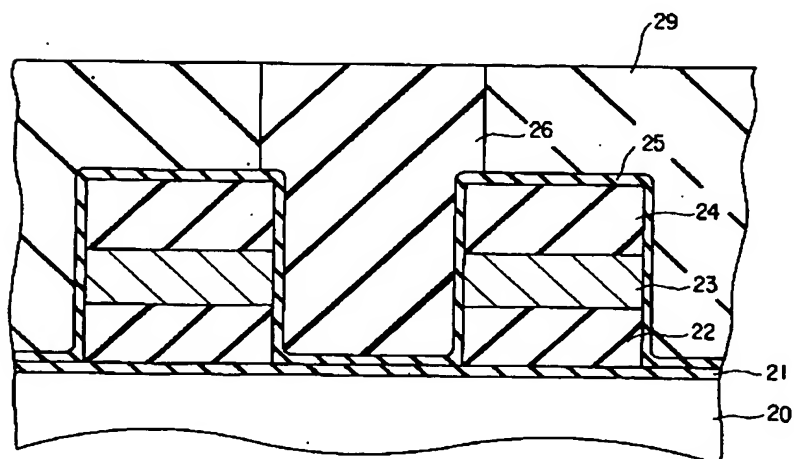
【図 5 1】



【図 5 2】



【図 5 3】



フロントページの続き

F ターム(参考) 5F004 AA12 BA08 BA13 BA14 BA20
BB13 DA00 DA23 DA26 DB03
EA10 EA15 EA22 EA26 EA33
EB01 EB02 EB03
5F033 HH09 HH11 HH18 HH33 JJ09
JJ12 JJ18 JJ33 KK07 MM02
NN06 NN07 NN19 QQ03 QQ09
QQ13 QQ19 QQ35 QQ37 QQ48
QQ60 QQ65 RR04 RR21 SS21
VV16 XX04
5F083 AD00 GA27 JA36 JA37 JA39
JA40 JA58 MA04 MA05 PR01
PR03 PR05 PR06 PR23 PR40
ZA12